|  |
| --- |
|  |
| МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ |
| Федеральное государственное бюджетное образовательное учреждение высшего образования  **"МИРЭА - Российский технологический университет"**  **РТУ МИРЭА** |
| Институт информационных технологий (ИТ) |
| Кафедра Вычислительной Техники (ВТ) |

|  |  |
| --- | --- |
| **ОТЧЕТ**  **ПО ЛАБОРАТОНОЙ РАБОТЕ №1** | |
| **по дисциплине** |  |
| **«Разработка программно-аппаратного обеспечения информационных и автоматизированных систем»** | |
| Выполнил студент группы ИКМО-05-23 | Миронов Д.С. |
| Принял старший преподаватель | Унгер А.Ю. |

|  |  |  |
| --- | --- | --- |
| Лабораторная работа выполнена | « » 2023г. |  |
| «Зачтено» | « » 2023 г. |  |

Москва 2023

1. Составить для 2-*входового декодера с дополнительным входом разрешения* таблицу истинности.
2. По таблице истинности составить *карту Карно*.
3. По карте Карно записать логическую формулу устройства на основе дизъюнктивной нормальной формы (ДНФ).
4. Зарисовать структурную схему устройства, состоящую из базовых логических вентилей (И, ИЛИ, НЕ).
5. Создать проект в интегрированной среде разработки *Xilinx ISE*. Выбрать в качестве целевого устройства ПЛИС начального уровня семейства *Spartan-3*.
6. Написать исходный код на языке VHDL, описывающий работу устройства.
7. Написать тестовый модуль (*Test Bench*) для проверки функционала устройства.
8. Проверить работу устройства визуально по диаграммам переходов, с помощью симулятора *ISim*.
9. На базе 2-входового декодера собрать *3-входовый декодер с дополнительным входом разрешения*. 9. На базе 3-входового декодера собрать *4-входовый декодер с дополнительным входом разрешения*.
10. Зарисовать структурную схему.
11. Описать схему на языке VHDL с тремя модулями: 2-входовой декодер (1) и 3-входовый декодер (2) и 4-входовый декодер.
12. Проверить работу устройства визуально с помощью диаграмм переходов в симуляторе *ISim*.
13. Написать вывод о проделанной работе.

1. Составить для 2-входового декодера с дополнительным входом разрешения таблицу истинности.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| s | a | b | Y1 | Y2 | Y3 | Y4 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |

2. По таблице истинности составить карту Карно.

3. По карте Карно записать логическую формулу устройства на основе дизъюнктивной нормальной формы (ДНФ).

y0 =

y1 =

y2 =

y3 =

4. Зарисовать структурную схему устройства, состоящую из базовых логических вентилей (И, ИЛИ, НЕ).

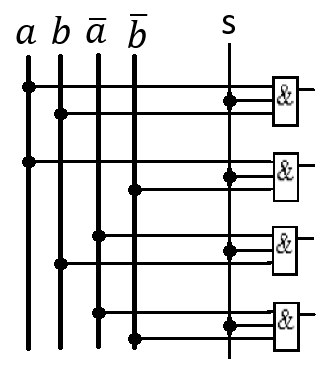


Рисунок 1 – Структурная схема

5. Создать проект в интегрированной среде разработки Xilinx ISE. Выбрать в качестве целевого устройства ПЛИС начального уровня семейства Spartan-3.

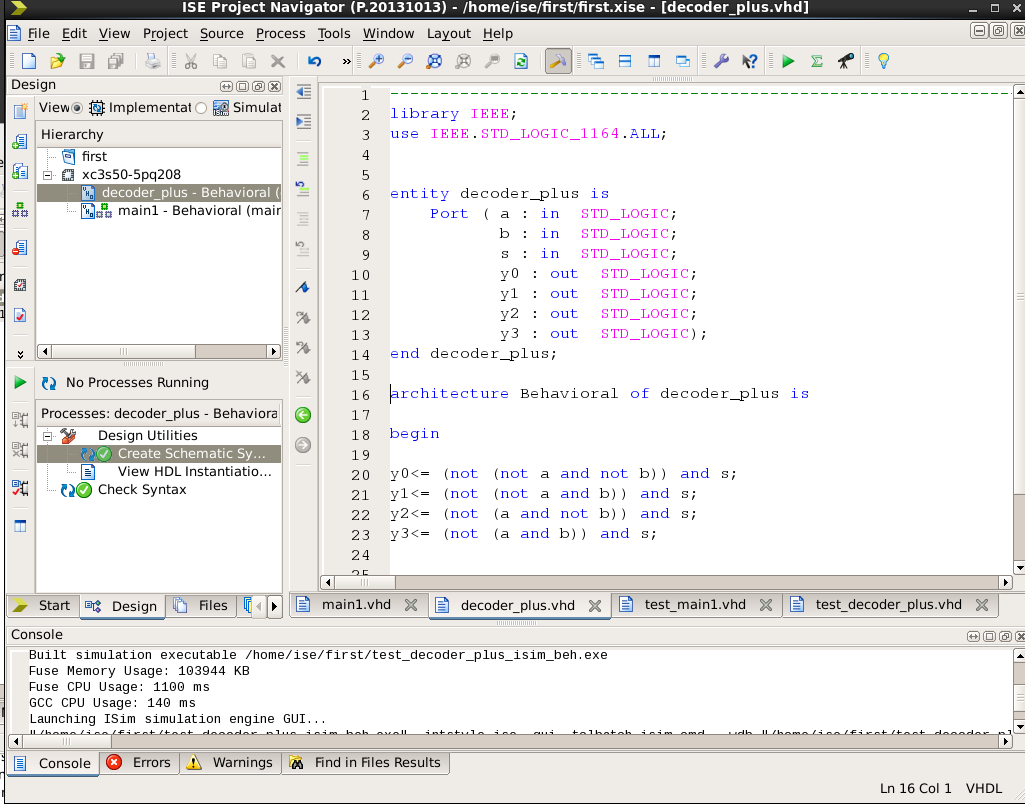


Рисунок 2 – Создан проект в интегрированной среде разработки Xilinx ISE

6. Написать исходный код на языке VHDL, описывающий работу устройства.

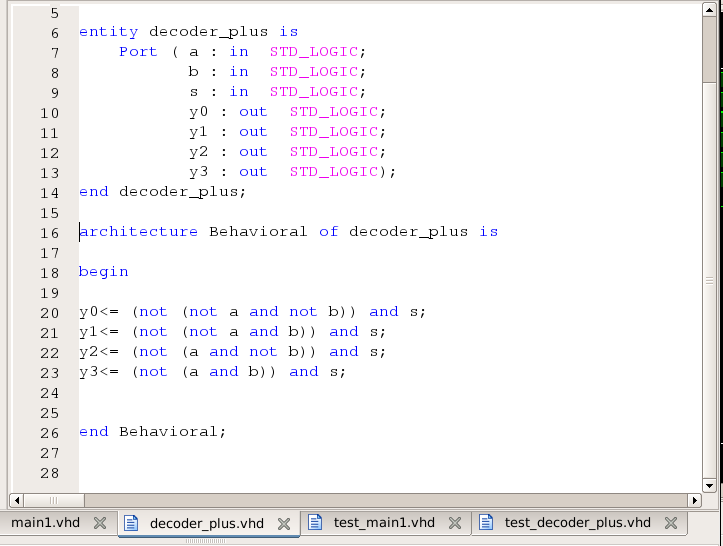


Рисунок 3 – Написан исходный код на языке VHDL

7. Написать тестовый модуль (Test Bench) для проверки функционала устройства.

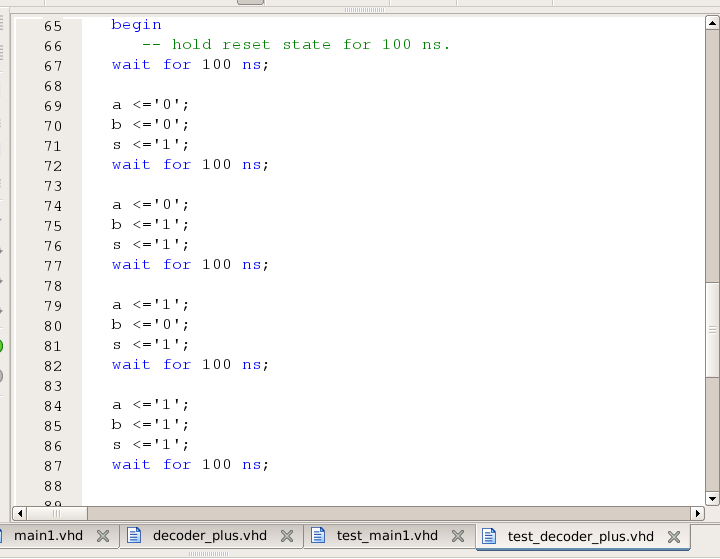


Рисунок 4 – Написан тестовый модуль

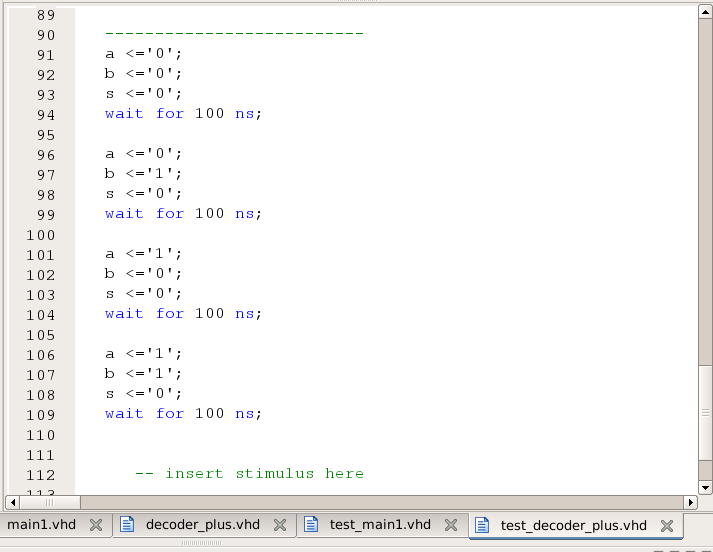


Рисунок 5 – Написан тестовый модуль

8. Проверить работу устройства визуально по диаграммам переходов, с помощью симулятора ISim.

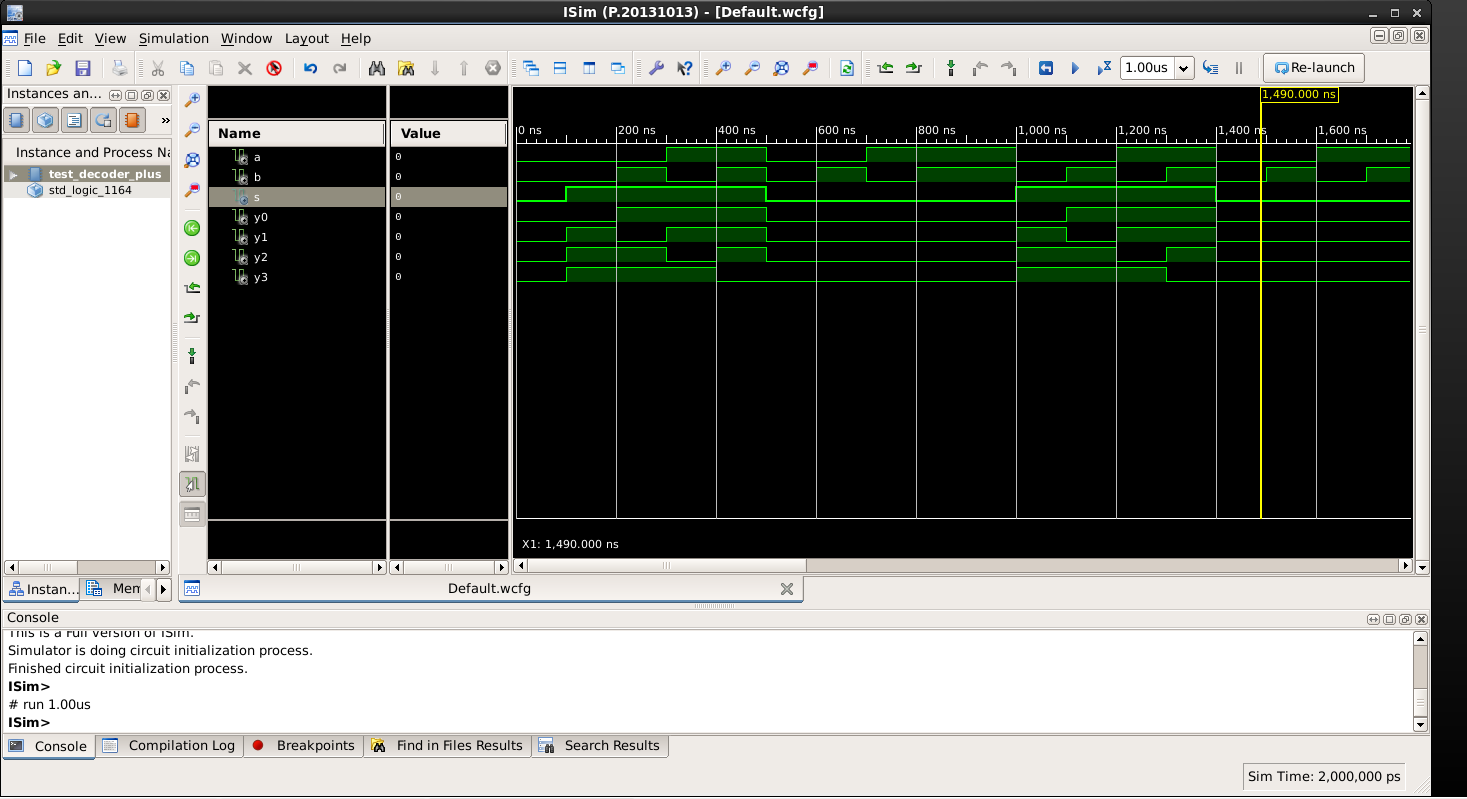


Рисунок 6 – Проверена работа устройства визуально по диаграммам переходов

9. На базе 2-входового декодера собрать 3-входовый декодер с дополнительным входом разрешения. 9. На базе 3-входового декодера собрать 4-входовый декодер с дополнительным входом разрешения. Зарисовать структурную схему.

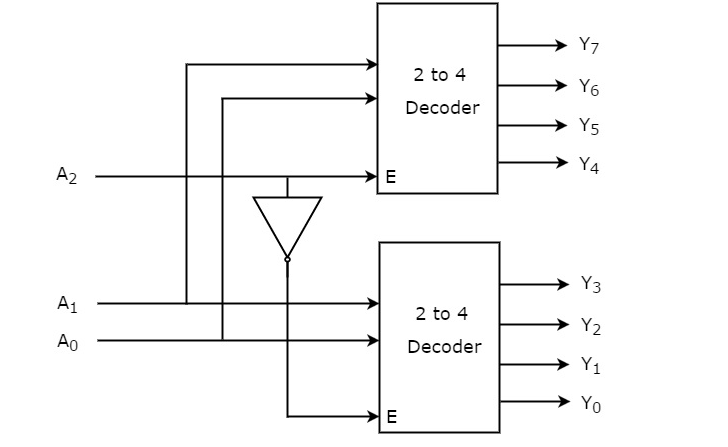


Рисунок 7 – Структурная схема 3-8

11. Описать схему на языке VHDL с тремя модулями: 2-входовой декодер (1) и 3-входовый декодер (2) и 4-входовый декодер.

Листинг описывающий схему декодера 3 на 8

entity decoder3 is

Port ( a3 : in STD\_LOGIC\_VECTOR (2 downto 0);

b3 : out STD\_LOGIC\_VECTOR (7 downto 0);

enable : in STD\_LOGIC);

end decoder3;

architecture Behavioral of decoder3 is

component decoder2 is

Port ( en : in STD\_LOGIC;

a : in STD\_LOGIC\_VECTOR (1 downto 0);

b : out STD\_LOGIC\_VECTOR(3 downto 0));

end component;

signal m0: STD\_LOGIC;

signal m1: STD\_LOGIC;

begin

U1: decoder2 Port map(m1,a3(1 downto 0),b3(7 downto 4));

U2: decoder2 Port map(m0,a3(1 downto 0),b3(3 downto 0));

m0 <= NOT a3(2) AND enable;

m1 <= a3(2) AND enable;

end Behavioral;

Листинг теста декодера 3 на 8

BEGIN

uut: decoder3 PORT MAP (

a3 => test\_seq(2 downto 0),

b3 => b3,

enable => test\_seq(3)

);

-- Stimulus process

stim\_proc: process

begin

-- hold reset state for 100 ns.

test\_seq<="0000";

wait for 100ns;

test\_seq<="0001";

wait for 100ns;

test\_seq<="0010";

wait for 100ns;

test\_seq<="0011";

wait for 100ns;

test\_seq<="1000";

wait for 100ns;

test\_seq<="1001";

wait for 100ns;

test\_seq<="1010";

wait for 100ns;

test\_seq<="1011";

wait for 100ns;

test\_seq<="1100";

wait for 100ns;

test\_seq<="1101";

Продолжение листинга теста декодера 3 на 8

wait for 100ns;

test\_seq<="1110";

wait for 100ns;

test\_seq<="1111";

wait;

wait;

end process;

END;

12. Проверить работу устройства визуально с помощью диаграмм переходов в симуляторе ISim.

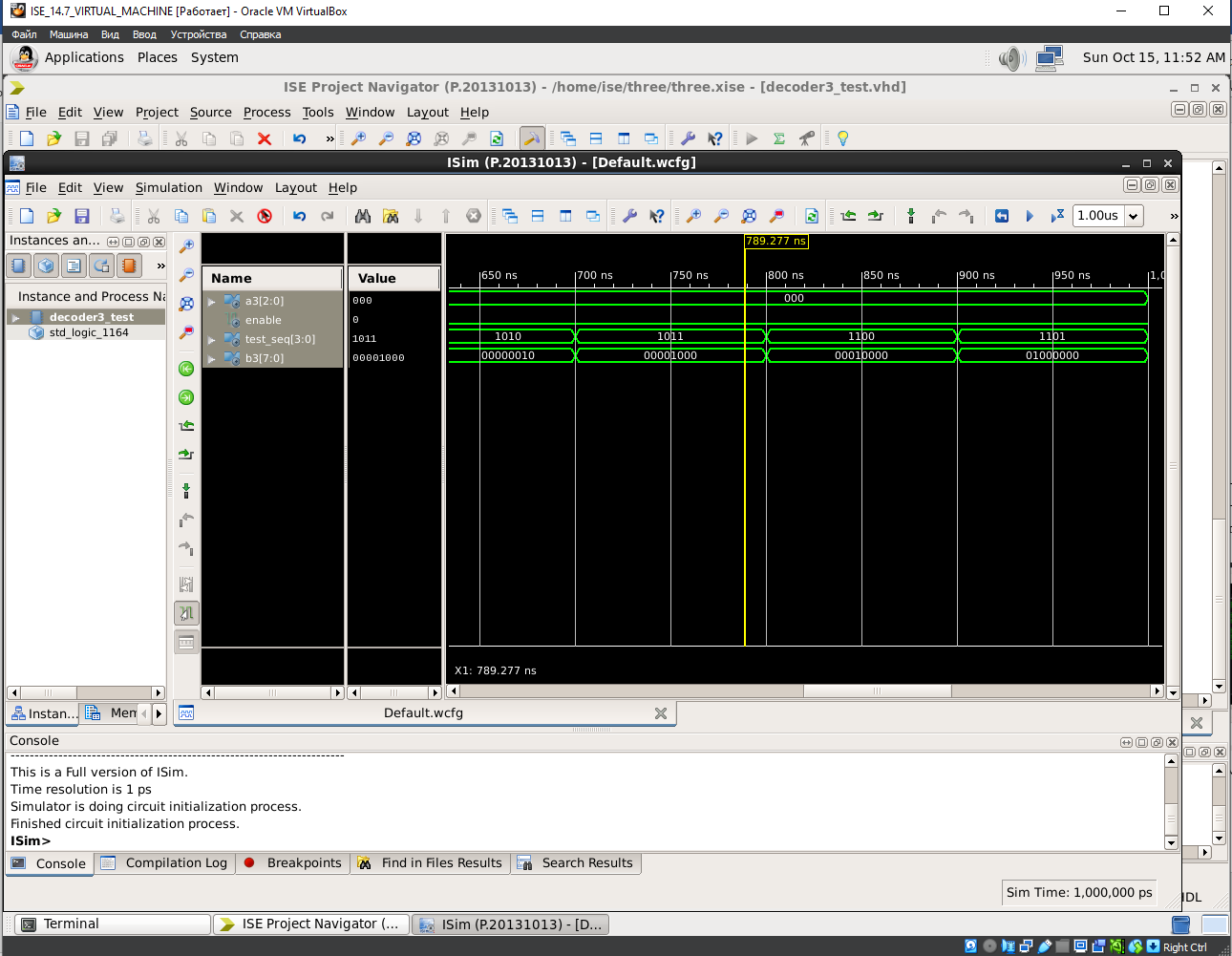


Рисунок 10 – Проверена работу устройства визуально с помощью диаграмм переходов

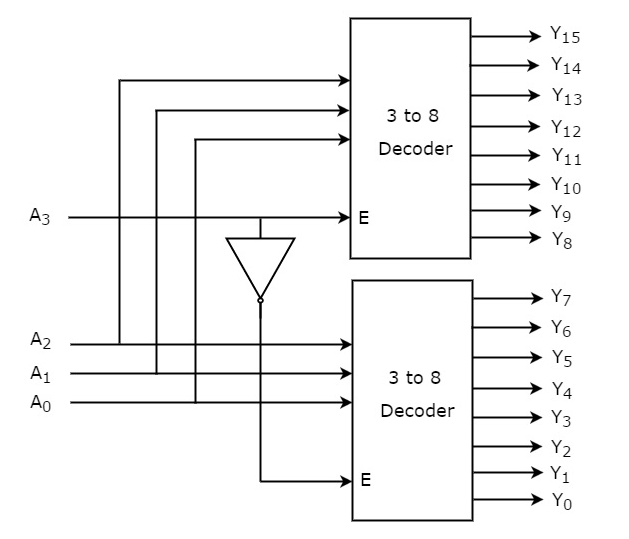


Рисунок 11 – Структурная схема 4-16

Листинг описывающий схему декодера 4 на 16

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

entity decoder4 is Port ( a4 : in STD\_LOGIC\_VECTOR (3 downto 0);

b4 : out STD\_LOGIC\_VECTOR (15 downto 0);

enable4 : in STD\_LOGIC);

end decoder4;

architecture Behavioral of decoder4 is

component decoder3 is Port ( enable : in STD\_LOGIC;

a3: in STD\_LOGIC\_VECTOR (2 downto 0);

b3: out STD\_LOGIC\_VECTOR(7 downto 0));

end component;

signal m0: STD\_LOGIC;

signal m1: STD\_LOGIC;

begin

U1: decoder3 Port map(m1,a4(2 downto 0),b4(15 downto 8));

U2: decoder3 Port map(m0,a4(2 downto 0),b4(7 downto 0));

m0 <= NOT a4(2) AND enable4;

m1 <= a4(2) AND enable4;

end Behavioral;

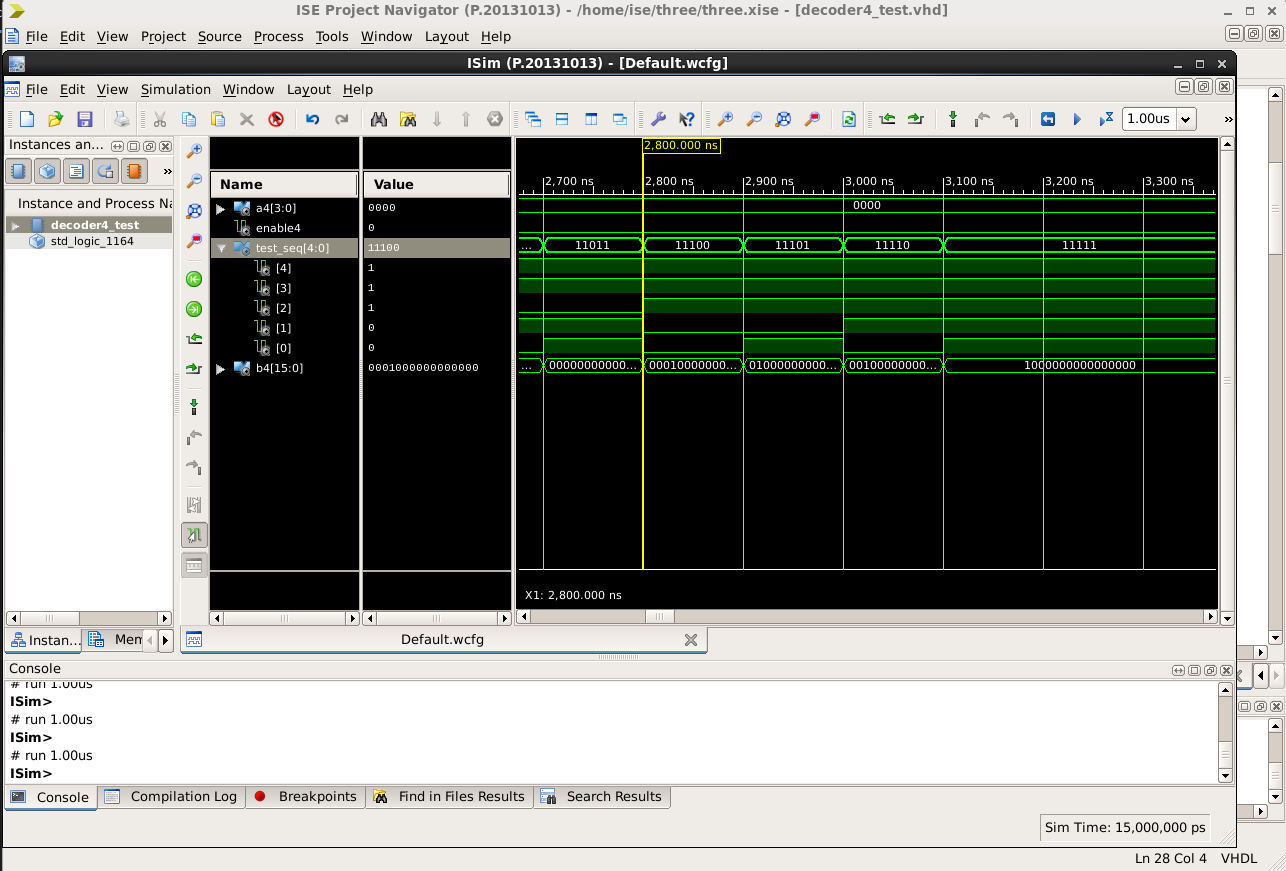


Рисунок – Проверить работу устройства визуально с помощью диаграмм переходов

**Вывод**: Разработали 4-входовый двоичный декодер с дополнительным входом разрешения, составили таблицу истинности, написали исходный код на языке VHDL, написали тестовый модуль. Проверили работу устройства визуально по диаграммам переходов, с помощью симулятора ISim. На базе 2-входового декодера собрали 3-входовый декодер с дополнительным входом разрешения. На базе 3-входового декодера собрали 4-входовый декодер с дополнительным входом разрешения. Зарисовали структурную схему. Описали схему на языке VHDL с тремя модулями: 2-входовой декодер (1) и 3-входовый декодер (2) и 4-входовый декодер. Проверили работу устройства визуально с помощью диаграмм переходов в симуляторе ISim.